

Государственный комитет Российской Федерации
по высшему образованию

НИЖЕГОРОДСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ

Программируемый контроллер прямого доступа к памяти КР580ВТ57

Методические указания к лабораторной работе №4
по дисциплинам

“Микропроцессоры и микроЭВМ”,

“Цифровые устройства и микропроцессоры” (часть 2)

для студентов специальностей 190300, 200700, 200800, 200900
всех форм обучения

Составил А.Д. Плужников

converted to pdf by Danir
<http://nntu-02-tr1.narod.ru>

Нижний Новгород
1995

ЦЕЛЬ РАБОТЫ И ПОДГОТОВКА К РАБОТЕ

Целью работы является изучение режимов работы контроллера КР580BT57, приобретение навыков его программирования и контроля функционирования.

С инструкцией, содержащей требования охраны труда, студенты знакомятся в лаборатории.

Подготовка к работе осуществляется до прихода в лабораторию и включает в себя изучение данных методических указаний и (если студенту этого недостаточно для прояснения изучаемого материала) рекомендованной в них литературы, подготовку ответов на приводимые вопросы для самопроверки, пробное составление программы в соответствии с вариантами заданий.

При составлении программ целесообразно воспользоваться таблицей ассемблерных кодов команд и таблицей их перевода в машинные коды, содержащимися в методических указаниях к лабораторной работе №1.

КРАТКИЕ СВЕДЕНИЯ О КОНТРОЛЛЕРЕ КР580BT57

Назначение микросхемы, ее контакты и внутренняя структура. Микросхема КР580BT57 (краткое название BT57) - четырехканальный контроллер прямого доступа к памяти (КПДП). Она предназначена для организации высокоскоростного обмена данными между внешними (периферийными) устройствами (ВУ) и основной памятью (ОП) микропроцессорной системы на базе микропроцессора (МП) КР580BM80. Такой обмен называется прямым доступом к памяти (ПДП), поскольку осуществляется без участия центрального процессора (ЦП). Условное обозначение микросхемы показано на рис. 1, а сведения о ее контактах сведены в таблицу 1 (здесь и далее ЦД - системная шина данных).

Внутреннюю структуру микросхемы КПДП иллюстрирует рис. 2. Контроллер содержит 4 одинаковых канала, благодаря чему способен обслуживать до четырех ВУ. КПДП может находиться в одном из следующих четырех состояний: исходное, программирование, ожидание запросов, обслуживание ПДП. В исходное состояние микросхема устанавливается сигналом RESET. Далее контроллер необходимо перевести в состояние программирования. После программирования осуществляется переход в состояние ожидания запросов ПДП. Сигналы таких запросов DRQ0 - DRQ3 приводят к состоянию обслуживания ПДП. Использовать микросхему с незапрограммированными каналами запрещается. Иначе помеха на каком-либо из входов DRQ0 - DRQ3 может привести к порче данных в ОП.

В каждом канале КПДП имеются по два программно доступных (для записи) 16-битных регистра: регистр адреса памяти (РГА) и регистр количества циклов ПДП (РГЦ). Циклом ПДП, или циклом обмена данными, называют совокупность действий, выполняемых в состоянии обслуживания ПДП для обмена данными между некоторыми ВУ и одной ячейкой ОП. В состоянии программирования в оба упомянутых регистра необходимо занести нужные значения. В РГА записывается начальный адрес массива (области) ОП или, как еще говорят, буфера, с которым будет обмениваться данными какой-либо ВУ при обслуживании ПДП. В РГЦ записывается число, определяемое размерами этого массива (буфера) в байтах, т.е. количеством предстоящих циклов обмена. А именно, при массиве размером N байт в РГЦ записывается двоичный код числа N-1. Максимально допустимый размер массива - 16 Кбайт = 16384 байт. В состоянии обслуживания ПДП на базе РГА реализуется 16-битный суммирующий счетчик адреса, а на базе РГЦ реализуется вычитающий счетчик циклов. Т.е. при переходе от одного цикла обмена к следующему содержимое первого счетчика инкрементируется (увеличивается на 1), а содержимое второго счетчика декрементируется (уменьшается на 1). Поэтому первый счетчик используется как источник двухбайтного адреса участвующей в обмене данными ячейки ОП, а второй - как формирователь сигнала ТС (появляющегося при нулевом со-

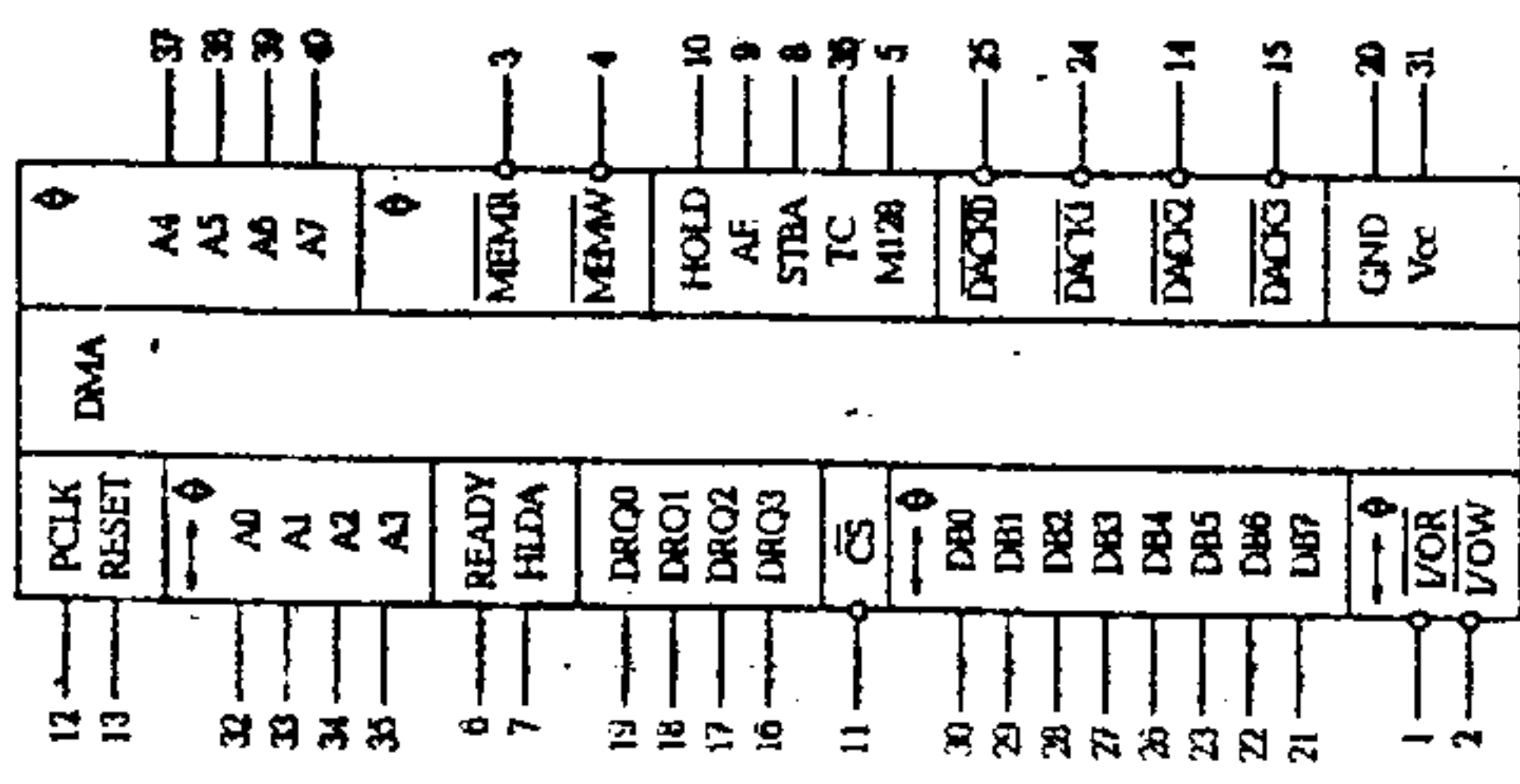


Рис. 1

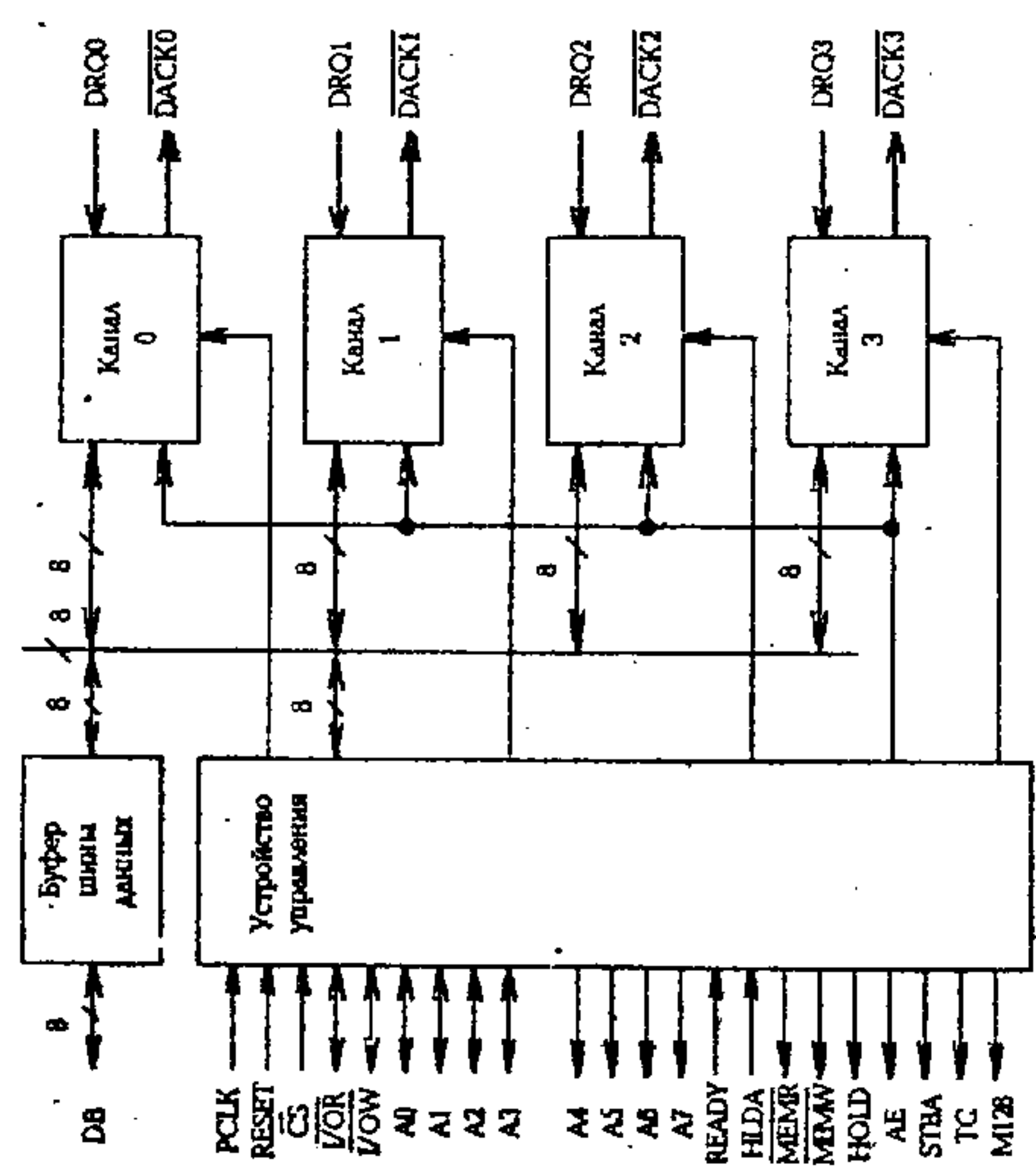


Рис. 2

Таблица 1. Контакты микросхемы КР580ВТ57

Контакт	Обозначение	Тип	Функциональное назначение
1	$\overline{I/OR}$	Вход/выход	Чтение из КПП. в ЦП или из интерфейсных модулей ВУ в ОП
2	$\overline{I/OW}$	Вход/выход	Запись из ЦП в КПП или из ОП в интерфейсные модули ВУ
3	\overline{MEMR}	Выход	Чтение из ОП
4	\overline{MEMW}	Выход	Запись в ОП
5	M128	Выход	Модуль 128
6	READY	Вход	Готовность
7	HLDA	Вход	Подтверждение захвата системной магистрали
8	STBA	Выход	Стробирующий сигнал адреса
9	AE	Выход	Разрешение адреса
10	HOLD	Выход	Запрос захвата системной магистрали
11	\overline{CS}	Вход	Выбор микросхемы
12	PCLK	Вход	Синхронизация
13	RESET	Вход	Сброс
15; 14; 24; 25	$\overline{DACK3} - \overline{DACK0}$	Выходы	Подтверждение ЦДП для каналов 3—0
16 — 19	DRQ3 — DRQ0	Входы	Запрос ЦДП для каналов 3—0
20	GND	---	Общий (корпус)
21—23; 26—30	DB7 — DB0	Входы/выходы	ШД
31	Vcc	---	Напряжение питания +5В
32 — 35	A0 — A3	Входы/выходы	Двухнаправленный канал адреса
36	TC	Выход	Конец счета
37 — 40	A4 — A7	Выходы	Выходы адреса

держимом второго счетчика) окончания обмена данными между ВУ и определенным массивом памяти.

Таким образом, в состоянии обслуживания ЦДП 16-битная шина адреса (ША) должна использоваться контроллером для передачи по ней содержимого счетчика адреса, т.е. для адресации ячейки ОП, обменивающейся данными с определенным ВУ. Тогда для адресации порта ввода или вывода в интерфейсном модуле упомянутого ВУ нужны сигналы, передаваемые по другим линиям. С этой целью используют выходные сигналы КПП $\overline{DACK0} - \overline{DACK3}$: после появления на входе DRQi (i=0-4) сигнала запроса от интерфейсного модуля некоторого ВУ i-й канал должен сформировать выходной L-активный сигнал \overline{DACKi} , который поступает на входы типа \overline{CS} выбора требуемых микросхем в том же модуле.

Устройство управления (рис. 2) регулирует последовательность выполняемых опе-

раций в различных состояниях микросхемы и обеспечивает переходы между состояниями. Оно содержит программно доступные 3-битные регистр режима (RtP) и регистр состояния (RtS). Причем RtP доступен для записи информации, а RtS - для чтения. Устройство управления принимает и формирует сигналы, которые можно подразделить на две следующие группы.

1. Группа сигналов управления обслуживанием ПДП, программированием и контролем микросхемы:

PCLK (входной) представляет собой синхронимпульсы с фазой Ф2, поступающие от генератора синхронизации процессорного модуля;

RESET (входной) осуществляет сброс микросхемы в исходное состояние, при этом маскируются (запрещаются) все запросы ПДП, а входы/выходы A0 - A3 действуют как входы;

\overline{CS} (входной) формируется дешифратором адреса и переводит микросхему в состояние программирования или обеспечивает чтение содержимого RtS;

$\overline{I/OR}$ (входной/выходной) обеспечивает чтение RtS (является при этом входным, поступая от ЦП) и чтение данных из ВУ в ОП (при обслуживании ПДП, когда является выходным и передается в интерфейсный модуль ВУ);

A0 - A3 (входные/выходные) адресуют программно доступные регистры внутри контроллера при его программировании и при чтении RtS (являются при этом входными), а при обслуживании ПДП используются для передачи четырех младших битов адреса ячейки ОП, участвующей в текущем цикле обмена данными (являются при этом выходными сигналами).

2. Группа сигналов, управляющих только обслуживанием ПДП:

A4 - A7 (выходные) передают 4 старших бита младшего байта адреса той ячейки ОП, которая участвует в текущем цикле обмена данными;

READY (входной) используется для проверки готовности к обмену данными таких ВУ и ОП, которые имеют низкое быстродействие, и для ввода при необходимости тактов ожидания;

H LDA (входной) поступает от МП и разрешает контроллеру управление системной магистралью (шиной), подтверждая, что ЦП отключен от нее;

\overline{MEMR} (выходной) передается в модуль ОП и обеспечивает чтение данных в ОП из ВУ;

\overline{MEMW} (выходной) передается в модуль ОП и обеспечивает запись данных в ОП из ВУ;

HOLD (выходной) действует на МП и запрашивает для контроллера управление системной магистралью, приостанавливая действия МП и вызывая отключение ЦП от магистрали;

AE (выходной) показывает, что управление системной магистралью принял на себя КПДП, передается к ЦП как дополнительный управляющий сигнал отключения от магистрали, передается в интерфейсные модули ВУ и отключает их от ША в связи с тем, что во-первых, КПДП использует эту шину для адресации ячеек ОП (с помощью одного из своих счетчиков), а во-вторых, в состоянии обслуживания ПДП выбор портов ввода и вывода в интерфейсных модулях ВУ осуществляется (см. выше) сигналами контроллера $\overline{DACK0} - \overline{DACK3}$ без использования ША;

STBA (выходной) используется для управления специальным буферным регистром адреса и стробирования (записи в регистр по линиям DB) при этом старшего байта адреса ячейки ОП, которая в текущем цикле ПДП обменивается данными с некоторыми ВУ (содержимое указанного регистра считывается на соответствующие линии ША);

TC (выходной) поступает в интерфейсный модуль ВУ, участвующего в обмене

данными, и показывает, что текущий цикл ПДП является последним (при установленном бите КС в РгР, т.е. в режиме "КС-стоп" этот сигнал запрещает дальнейшую работу канала, заканчивающего управление обменом);

М128 (выходной) передается в интерфейсный модуль ВУ, участвующего в обмене данными, и показывает, что текущий цикл ПДП является 128-м или кратным 128 от конца массива.

Согласно изложенному, ШД DB0 - DB7 (рис. 1) или DB (рис. 2), подключенная через буфер к внутренней шине контроллера, служит для

- чтения/записи содержимого внутренних программно доступных регистров КПДП в состоянии программирования;

- формирования старшего байта адреса той ячейки ОП, которая в текущем цикле при обслуживании ПДП обменивается данными с ВУ.

Программирование контроллера, чтение его состояния, режимы работы.

Как было сказано, в состоянии программирования должны быть записаны нужные числа в РгА и РгЦ. После этого записывают управляющие данные в РгР. Кроме этого, в данном состоянии возможно чтение содержимого РгС. Запись данных осуществляется путем обращения по 8-битному адресу регистра (rop) при выполнении команды OUT rop. Но предварительно необходимые данные следует занести в аккумулятор МП (например, командой MVI A,data). Поскольку аккумулятор является 8-битным регистром, то для записи данных в 16-битный регистр (РгА или РгЦ) указанную пару команд потребуется выполнить дважды, причем вначале для младшего байта данных. Чтение содержимого РгС производится командой IN rop. Во всех упомянутых случаях младшие 4 бита адреса (rop) соответствуют сигналам на контактах микросхемы А0 - А3 (рис. 1 или 2). В состоянии программирования эти контакты действуют как входы выбора регистра внутри микросхемы. Выбор самой микросхемы, как уже говорилось, происходит благодаря формированию сигнала CS на выходе дешифратора, реализующего логическое преобразование битов 8-битного адреса (rop). Отметим, что последовательность команд программирования контроллера принято защищать от прерываний (командой DI до указанной последовательности при использовании команды EI вслед за этой последовательностью).

Таблица 2 (дополняемая таблицей 3) показывает формат данных при их записи в РгА, РгЦ, РгР и чтении из РгС, т.е. при передаче по двунаправленной ШД, а также показывает соответствующие двоичные значения сигналов на адресных входах А0 - А3. Как видно, 2 старших бита РгЦ определяют операцию обмена (таблица 3). Причем в так называемом цикле проверки ПДП контроллер не формирует управляющие сигналы чтения/записи, что предотвращает передачу данных. В этом случае КПДП осуществляет только захват системной магистрали (сигналом HOLD) и подтверждает запросы периферии (сигналами DACK0 - DACK1).

Содержимое РгР влияет на работу КПДП следующим образом. Установка битов 0 - 3 разрешает обслуживание ПДП соответствующими каналами, а сброс запрещает.

Единица в бите 4 РгР устанавливает режим циклического сдвига приоритетов. В этом режиме после каждого цикла ПДП (а не после каждого запроса) приоритеты всех каналов контроллера изменяются. Канал, который только что закончил обслуживание ВУ, будет иметь самый низкий приоритет, а приоритеты остальных каналов устанавливаются в циклическом (крутовом) порядке согласно таблице 4. Тогда последовательность цикла ПДП будет обслуживать ВУ, соответствующие различным каналам контроллера, а именно, тем каналам, действие которых разрешено битами 0 - 3 РгР. Причем операции ПДП начинаются с первоначального присваивания каналу 0 наивысшего приоритета для первого цикла обмена. При сбросе бита 4 РгР в нуль все каналы имеют фиксированные приоритеты: канал 0 - высший, ка-

Таблица 2. Формат данных и адресные сигналы

Регистр	Байт	Адресные входы				ЦД							
		A3	A2	A1	A0	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
РГА, канал 0	Младший	0	0	0	0	A7	A6	A5	A4	A3	A2	A1	A0
	Старший	0	0	0	0	A15	A14	A13	A12	A11	A10	A9	A8
РГЦ, канал 0	Младший	0	0	0	1	C7	C6	C5	C4	C3	C2	C1	C0
	Старший	0	0	0	1	P1	P0	C13	C12	C11	C10	C9	C8
РГА, канал 1	Младший	0	0	1	0	То же, что и для канала 0							
	Старший	0	0	1	0								
РГЦ, канал 1	Младший	0	0	1	1								
	Старший	0	0	1	1								
РГА, канал 2	Младший	0	1	0	0	То же, что и для канала 0							
	Старший	0	1	0	0								
РГЦ, канал 2	Младший	0	1	0	1								
	Старший	0	1	0	1								
РГА, канал 3	Младший	0	1	1	0	То же, что и для канала 0							
	Старший	0	1	1	0								
РГЦ, канал 3	Младший	0	1	1	1								
	Старший	0	1	1	1								
РГР	—	1	0	0	0	A3	КС	УЗ	ЦСП	РК3	РК2	РК1	РК0
РГС	—	1	0	0	0	0	0	0	ФОД	ТС3	ТС2	ТС1	ТС0

Примечание. АЗ — автозагрузка; КС — конец счета; УЗ — удлиненная запись; ЦСП — циклический сдвиг приоритетов; РК_i — разрешение канала *i* (*i* = 0 — 3); ФОД — флаг обновления данных; А15 — А0 — начальный адрес; С13 — С0 — число циклов ЦДГ; Р1, Р0 — биты операции обмена (см. табл. 3).

Таблица 3. Биты операции обмена

P1	P0	Операция обмена
0	0	Цикл проверки ЦДГ
0	1	Цикл записи в ОП
1	0	Цикл чтения из ОП
1	1	Запрещенная комбинация

Таблица 4. Режим ЦСП

Приоритет	Обслуженный канал			
	0	1	2	3
Наивысший	1	2	3	0
	2	3	0	1
	3	0	1	2
Самый низкий	0	1	2	3

нал 3 - самый низкий.

Единица в бите 5 PгР устанавливает режим удлинённой записи: продолжительность L-активных сигналов MEMW и I/OW увеличивается за счёт более ранней их активизации в цикле ПДП. Это может потребоваться по следующим причинам. Если в некоторое время невозможен обмен данными с модулями и ВУ, имеющими низкое быстродействие, то в КПДП поступает сигнал READY=0 об отсутствии готовности, переводя контроллер в такты ожидания. Некоторые устройства обладают достаточно высоким быстродействием для получения доступа к ним без тактов ожидания. Такие устройства (при одном из возможных вариантов реализации) формируют сигнал готовности READY=1 по фронту поступающего к ним сигнала MEMW или I/OW. Но все же в процессе формирования и распространения к контроллеру сигнал готовности может задержаться так, что возникнут такты ожидания. В таком случае режим удлинённой записи способствует их исключению. Нуль в бите 5 PгР устанавливает режим обычной записи.

Единица в бите 6 PгР устанавливает режим "КС-стоп", когда после появления сигнала ТС (при нулевом содержимом счетчика циклов) запрещается обмен данными с тем ВУ, обслуживание которого заканчивается одним из каналов контроллера, т.е. в этом канале прекращаются все операции ПДП. Для возобновления в данном канале операций ПДП потребуются перепрограммировать соответствующий ему бит разрешения (один из битов 0 - 3 PгР). Если бит 6 PгР сброшен в нуль, то появление сигнала ТС не запрещает дальнейшую работу канала, а сам сигнал лишь информирует периферию о последнем цикле ПДП.

При установке в единицу бита 7 PгР устанавливается режим автозагрузки. Этот режим позволяет многократно передавать массивы данных с помощью канала 2 без программного вмешательства. Регистры канала 2 для такого режима программируются, как обычно (как и для передачи одного массива данных). Регистры канала 3 в режиме автозагрузки хранят параметры (начальный адрес памяти, число циклов и направление обмена данными) для их перезаписи в канал 2. После завершения очередной передачи массива каналом 2 и появления сигнала ТС параметры, хранящиеся в регистрах канала 3, записываются в соответствующие регистры канала 2. При установке режима автозагрузки в процессе программирования PгР, осуществляемого после программирования канала 2, занесённые в канал 2 начальные параметры автоматически дублируются в регистрах канала 3. Это позволяет без программирования канала 3 реализовать многократную передачу массива данных с использованием каналов 2 и 3. Решение подобной задачи оказывается необходимым, например, для регенерации изображения на экране электронно-лучевой трубки. Однако каналы 2 и 3 могут быть загружены и различными параметрами при условии, что канал 2 программируется раньше канала 3. Кроме того, канал 3 в режиме автозагрузки доступен для участия в обслуживании ПДП, если нет запроса по каналу 2 и установлен в единицу бит 3 PгР (разрешающий бит для канала 3). В случае, когда каналы 2 и 3 загружаются различными параметрами, после завершения каналом 2 передачи очередного массива данных в этом канале происходит обновление параметров вследствие их записи из канала 3. Такое обновление параметров используется для так называемого связывания передаваемых массивов данных. При этом в регистры канала 3 необходимо программно записывать новые параметры для их последующей перезаписи в канал 2 перед каждой новой передачей очередного массива данных. Каждый раз, когда в микросхеме происходит "подмена" параметров канала 2 содержимым регистров канала 3, в PгС устанавливается бит 4 - флаг обновления данных (ФОД). Новый запуск работы канала 2 для обслуживания ПДП происходит после очередного сигнала ТС. Этот сигнал можно использовать для формирования запроса прерывания и выхода таким образом на подпрограмму перепрограммирования КПДП, а именно, обновления параметров в канале 3 при связывании массивов. ФОД сбрасывается в конце первого цикла ПДП при передаче каналом 2 ново-

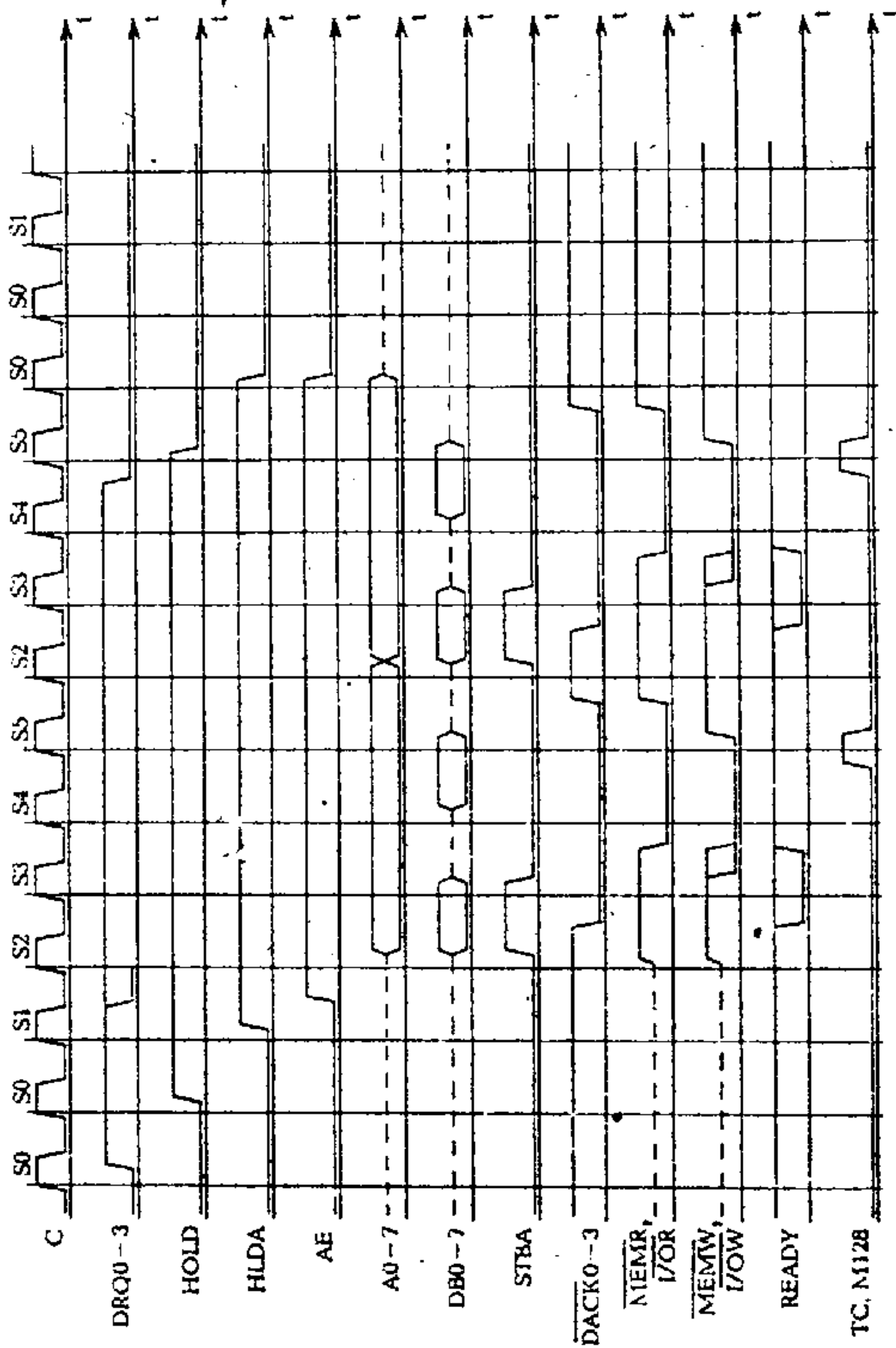
го массива данных. Для связывания массивов ФОД может контролироваться процессором, чтобы определить, когда параметры следующего массива могут быть записаны в канал 3.

В битах 0 - 3 PтС после появления сигнала ТС устанавливаются флаги завершения обслуживания ВУ соответствующим каналом. Эти флаги тоже могут контролироваться, однако после чтения содержимого PтС они сбрасываются. Все флаги могут быть сброшены сигналом RESET, а при работе в режиме автозагрузки - отказом от этого режима.

Состояние обслуживания ПДП.

На рис. 3

показаны временные диаграммы для этого состояния, где S0-S5 - обозначения тактов. Причем S0 обозначает холостые такты. Это такты состояния ожидания, в котором находится микросхема после ее программирования. Переход из состояния ожидания к обслуживанию начинается с появлением сигнала запроса (DRQ0-3), если соответствующему каналу разрешена работа (т.е. установлен нужный бит PтP). Сигналы DRQ0-3 обрабатываются согласно установленным приоритетам (фиксированным или циклическим) и контроллер формирует сигнал HOLD запроса системной магистрали. По этому сигналу микросхема переходит в такт типа S1, но не переходит в такт нового типа до получения по шине управления (ШУ) сигнала HLDA подтверждения захвата магистрали. При получении такого сигнала КПДП принимает на себя управление системной магистралью (осуществляя адресацию памяти, внешних устройств и формируя необходимые сигналы управления) и информирует об этом микропроцессорную систему сигналом АЕ. По сигналу АЕ микросхема переходит в такт S2. В такте S2 канал i (i=0-3), имеющий в данный момент наивысший приоритет (среди тех каналов, на которые поступили сигналы запросов), формирует сигнал DACKi, который подается в интерфейсный модуль ВУ, обслуживаемого i-м каналом. Таким образом, осуществляется выбор ВУ для обслуживания. В том же такте S2 младший байт начального адреса массива памяти (биты 0-7 PтA) с контактов A0-A7 микросхемы поступает на восемь линий системной ША. Одновременно старший байт адреса (биты 8-15 PтA) с контактов DB0-DB7 микросхемы поступает на внешний буферный регистр адреса. Выходы этого регистра соединяются с восемью линиями A8-A15 системной ША. Причем ранее сигналом АЕ он должен переводиться из третьего состояния в активное. Выдача микросхемой старшего байта адреса сопровождается формированием его строба адреса STBA. Управляя упомянутым регистром, этот строб обеспечивает запись в регистр старшего байта адреса. В итоге осуществляется адресация ячейки ОП для обмена данными с уже выбранным ВУ. По окончании сигнала STBA контакты DB0-DB7 микросхемы переводятся в третье состояние, т.е. микросхема отключается от системной ШД DB0-DB7, по которой в дальнейшем будет происходить обмен между выбранным ВУ и адресованной ячейкой ОП. На рис. 3 DB0-7 обозначает состояние системной ШД, причем третье или неиспользуемое состояние отмечается штриховыми линиями. После описанных процессов в новом такте S3 активизируются необходимые сигналы управления: MEMR и I/OW для чтения из ОП в ВУ или MEMW и I/OR для записи из ВУ в ОП. На рис. 3 показаны временные диаграммы сигналов MEMW и I/OW для двух вариантов: для режима удлиненной записи и для режима обычной записи. Далее в такте S4 реализуется обмен данными (по системной ШД DB0-7) между ВУ и ОП, если оба эти компонента системы готовы к обмену. Поэтому в данном такте контроллер анализирует сигнал готовности READY. Если READY=0, то после такта S4 микросхема будет находиться в такте ожидания без изменения ее выходных сигналов. Рис. 3 соответствует отсутствию таких тактов и двум вариантам сигнала READY: 1) быстродействующие ВУ и ОП формируют сигнал READY=1 к концу такта S3; 2) с учетом высокого быстродействия ВУ и ОП в системе не предусмотрено их участие в формировании сигнала READY (постоянно READY=1). При условии READY=1 контроллер переходит к такту S5. Если текущий цикл ПДП является для данного канала последним, то в конце такта S4 формируется также сигнал ТС.



В такте S5 КПП снимает L-активные управляющие сигналы (\overline{MEMR} и $\overline{I/O\overline{W}}$ или \overline{MEMW} и $\overline{I/OR}$). После этого возможны следующие варианты:

1. Если рассмотренный цикл ПДП не является последним, то в такте S5 произойдет инкремент содержимого счетчика адреса и декремент содержимого счетчика циклов, в результате чего канал перейдет к обслуживанию следующего цикла обмена, который начнется с такта S2 (рис. 3).

2. Если цикл является последним при передаче каналом заданного массива данных, то

- либо контроллер должен анализировать наличие разрешенных (при программировании) запросов DRQ0-3 и при их обнаружении приступить к обслуживанию с такта S2, а в противном случае перейти в такт ожидания S0 (причем в режиме "КС-стоп" будут запрещены дальнейшие операции обслуживания ПДП тем каналом, который уже осуществлял их);

- либо (в режиме автозагрузки) контроллер осуществляет с помощью того же канала (канала 2) передачу нового массива данных начиная с такта S2.

ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

Лабораторный стенд содержит плату УМПК-80/ВМ и модуль контроллера ПДП на базе микросхемы КР580ВТ57. Функциональная схема модуля приведена на рис. 4, а его внешний вид - на рис. 5. Подключенные модуля к системным ШД, ША и ШУ платы УМПК-80/ВМ позволяет программировать и контролировать изучаемую микросхему с помощью размещенных на плате клавиатуры и дисплея.

В состав модуля контроллера (рис. 4) входят: изучаемая микросхема DMA, буферный регистр адреса БРА, дешифратор адреса ДША, формирователь сигнала готовности ФСГ, входное и выходное устройства, логические элементы. Входное и выходное устройства в режиме обслуживания ПДП обмениваются данными с ОП, размещенной на плате УМПК-80/ВМ: запись данных в ОП происходит из входного устройства (в нем выходы буферного регистра записи БРЗ подключается к ШД при совпадении формируемых микросхемой контроллера L-активных сигналов $\overline{DACK2}$ и $\overline{I/OR}$); чтение данных из ОП происходит в выходное устройство (в нем запись данных из ШД в буферный регистр считывания БРС разрешается при совпадении сигналов $\overline{DACK3}$ и $\overline{I/O\overline{W}}$). Сигнал DRQ2 запроса на обслуживание входного устройства генерируется формирователем Ф32 при нажатии кнопки SA9 (одновременно в БРЗ записываются данные, набранные переключателями SA1-SA8 и индицируемые светодиодами HL1-HL8). Сигнал DRQ3 запроса на обслуживание выходного устройства генерируется формирователем Ф33 при нажатии кнопки SA10. Считываемые данные (состояние БРС) индицируют светодиоды HL13-HL20.

В модуле контроллера имеется также четыре индикатора HL9-HL12 (рис. 5), отображающие состояние сигналов $\overline{DACK0}$ - $\overline{DACK3}$.

Сигналом STBA (рис. 4) сбрасывается сигнал READY в ФСГ, если переключатель SA12 разомкнут (в левом положении). Поэтому очередной цикл ПДП в указанном случае осуществляется при формировании сигнала готовности $READY=1$ с помощью кнопки SA11. При замкнутом переключателе SA12 постоянно действует сигнал $READY=1$.

В состоянии программирования контроллера к нему следует обращаться по адресам D0H-DSH.

ЗАДАНИЕ К РАБОТЕ И ПОРЯДОК ЕЕ ВЫПОЛНЕНИЯ

Работа выполняется в следующем порядке:

1. Написать в ассемблерных кодах программу для программирования контроллера в соответствии с вариантом задания (см. таблицу 5).

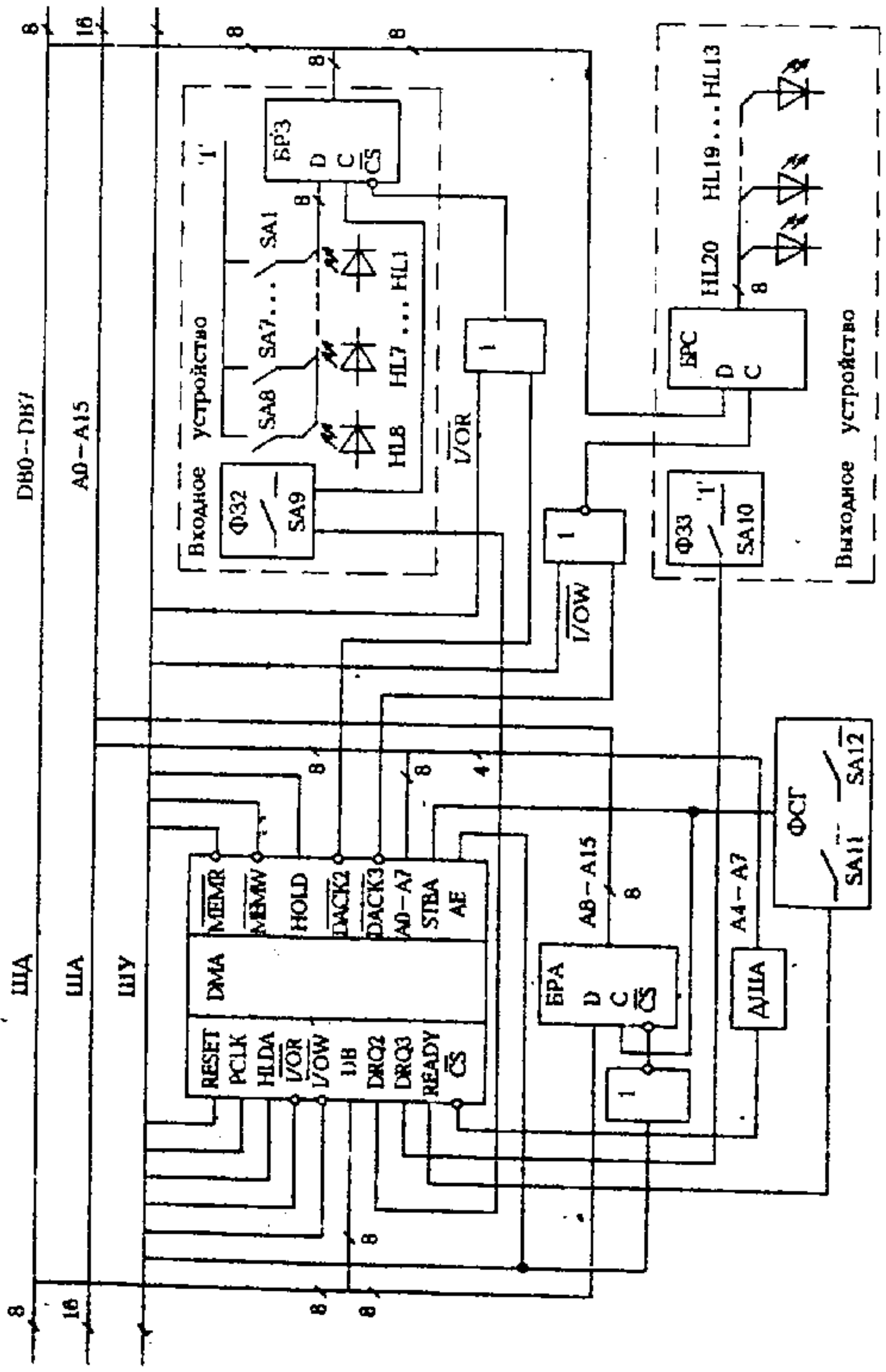


Рис. 4

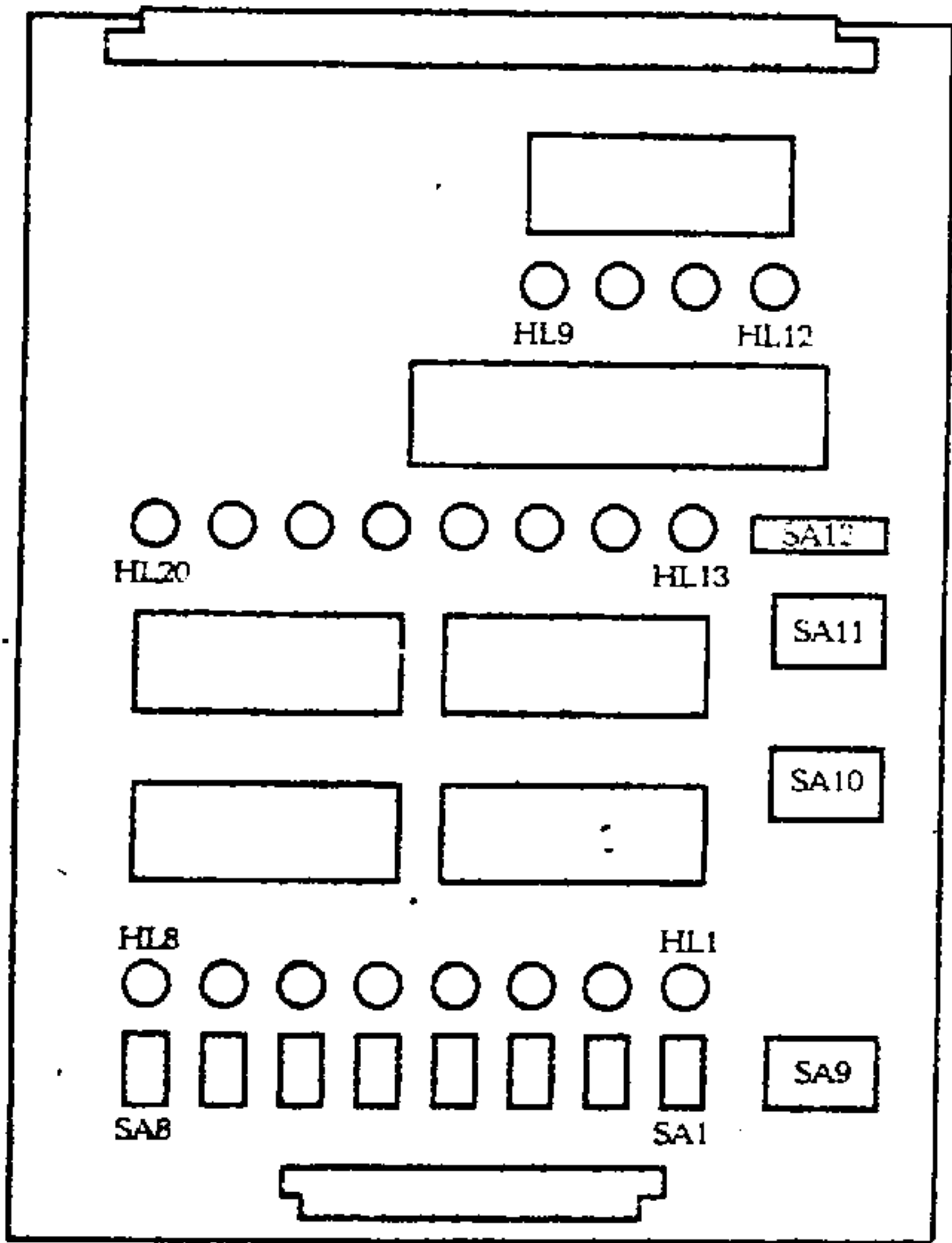


FIG. 5

Таблица 5. Варианты задания

№	Каналы	Операция обмена и режим работы	Размер буфера	Начальный адрес
1	2	Зп	5	0880H
2	2	Зп, КС-стоп	8	0880H
3	2	Зп, АЗ	8	080FH
4	3	Чт	5	0800H
5	3	Чт, КС-стоп	10	0880H
6	3	Чт	6	0900H
7	2/3	Зп/Чт	10/6	0880H/0900H
8	2/3	Зп/Чт, КС-стоп	8/8	0880H/0890H
9	2/3	Зп/Чт, ЦСП	8/8	0880H/0890H
10	2/3	Зп/Чт, ЦСП, АЗ	8/8	0880H/0890H

Примечание. Зп-запись в ОП, Чт-чтение из ОП.

2. Перевести программу в машинные коды и записать ее в память платы УМПК-80/ВМ с адреса 0800H.

3. Запустить программу в автономном режиме (в реальном времени).

4. На плате УМПК-80/ВМ снять блокировку сигнала HOLD (в группе из четырех переключателей у правого верхнего угла дисплея передвинуть вверх второй переключатель слева).

5. В модуле контроллера переключатель SA12 поставить в левое положение.

6. Выдать требуемый сигнал запроса кнопкой SA9 или SA10 и далее, пользуясь органами управления модулем контроллера, осуществить циклы ПДП в соответствии с вариантом задания. Наблюдая при этом индикаторы на плате УМПК-80/ВМ и на модуле контроллера, заполнить таблицу 6.

УКАЗАНИЕ К СОСТАВЛЕНИЮ ОТЧЕТА

Отчет должен содержать:

1. Точную формулировку задания.
2. Составленную программу в ассемблерных и машинных кодах.
3. Заполненную таблицу 6.
4. Выводы по результатам работы.

ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Какие контакты микросхемы контроллера подключаются к двунаправленным линиям и почему?
2. Как осуществляется выдача контроллером 16-битного адреса ячейки памяти при 8-ми адресных контактах микросхемы?
3. Как адресуются контроллером внешние устройства в состоянии обслуживания ПДП?

4. Зачем сигнал АЕ передается в интерфейсные модули обслуживаемых внешних устройств?

5. В каких состояниях контроллера и зачем используется внешняя шина данных микросхемы?

6. Почему для обращения к микросхеме в состоянии программирования используются 9 адресов? Из каких соображений выбраны 4 младших бита этих адресов? Как используются старшие биты адресов?

7. Каково назначение входов у трех регистров на рис. 4? Как формируются поступающие на них сигналы? Почему?

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

1. Балащов Е.П., Григорьев В.Л., Петров Г.А. Микро- и мини-ЭВМ: Учебное пособие для ВУЗов.- Л.: Энергоатомиздат. Ленингр. отделение, 1984.